

SEMICONDUCTOR DEVICE

Patent Number: JP3239369
Publication date: 1991-10-24
Inventor(s): KURAI SON TORONNAMUCHIYAI
Applicant(s): NISSAN MOTOR CO LTD
Requested Patent: ☐ JP3239369
Application Number: JP19900035716 19900216
Priority Number(s):
IPC Classification: H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase a channel width per unit area and to reduce an ON resistance by stereoscopically crossing source and drain electrodes, and disposing them higher than the other one electrode in an external connection pad region.

CONSTITUTION: A surface is formed in a hexagonal cell disposition partitioned by hexagonal unit cells 21, a gate electrode 7 is formed in a doughnut shape, and a channel region 3 diffusing window and a source region 4 diffusing window, i.e., the opening 22 of the electrode 7 are formed circular. They are so arranged that the centers of n<+> type drain contact regions 5 are disposed at the six vertexes A' of the hexagonal shape having the center A as a center. The first and second aluminum layers 31d, 33 connected to the regions 5 are connected in the crossing region Q, and also connected with the first and second aluminum layers 31s, 33 connected to the region 4. Accordingly, a cell forming region is provided under the pad region. Thus, a channel width per unit area is increased, and an ON resistance can be reduced.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平3-239369

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月24日

H 01 L 29/784

8422-5F
8422-5F

H 01 L 29/78

3 0 1 W
3 0 1 D

審査請求 未請求 請求項の数 1 (全 13 頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-35716

⑰ 出 願 平2(1990)2月16日

⑱ 発 明 者 クライソン トロンナ 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
ムチャイ 内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発 明 の 名 称

半 導 体 装 置

2. 特 許 請 求 の 範 囲

第1導電型の半導体基板の一主面に形成された第1導電型のソース領域と、

前記ソース領域のまわりに配設された複数の第1導電型のドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されたゲート電極と、

前記複数のソース領域を接続するように形成されたソース電極と、

前記複数のドレイン領域を接続するように形成されたドレイン電極とを具備し、

前記ソース電極およびドレイン電極は、2層構造をなすようにそれぞれ基板表面全体に形成されると共に、これらソース・ドレイン電極は、いずれもそれぞれ外部との接続用のパッド領域では、他の一方の電極よりも上に位置するように立体交

差領域を有し、かつ前記パッド領域の下にも素子領域を配設してなることを特徴とする半導体装置。

3. 発 明 の 詳 細 な 説 明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置に係り、特に積型DMOSFETに関する。

(従来技術)

従来のパワー用DMOSFETとしては、ドレイン電極を基板裏面に持つ縦型DMOSFET(VDMOS)と、n型埋め込み層とn+拡散層とを用いて基板表面にドレイン電極を形成した横型DMOSFET(LDMOS)とがある。

これらのうちVDMOSは、第6図にnチャネル型VDMOSの一例を示すように、n+型シリコン基板12の表面のn型エピタキシャル層2内に形成されたp型拡散層3内にn+型拡散層4からなるソース領域が形成され、さらにこのn型エピタキシャル層2の表面には、p型拡散層3からなるチャネル領域およびn+型拡散層4からなる

ソース領域にかけてゲート絶縁膜 6 を介してゲート電極 7 が形成されている。さらに、このゲート電極 7 のまわりは層間絶縁膜 8 で覆われており、この上層にソース電極 16 が形成されている。一方、ドレイン領域としての n^+ シリコン基板 12 の裏面にはドレイン電極 13 が形成されている。

かかる構造では、電流のメイン通路となるソース電極 16 とドレイン電極 13 とを基板の表裏に作り分けているため、電流を平面的に収集する必要がなく、その部分の抵抗および面積のロスがなく、オン抵抗を極めて低くすることができるという長所を供えている。

一方、 n^+ シリコン基板 12 がドレイン領域をなしているため、同一基板中に複数の VDMOS を形成し、これらを独立して動作させたり、CMOS、バイポーラ IC 等、他のデバイスと集積することは困難であるという問題があった。

また、LDMOS は、第 7 図に n チャネル型 LDMOS の一例を示すように、 p 型シリコン基板 1 の表面に形成された n^+ 型埋め込み層 14 とこ

の n^+ 型埋め込み層 14 にコンタクトするように形成された n 型拡散層 15 とを用いて基板表面側にドレイン電極 17 を形成したものである。(第 8 図に示した LDMOS と同一部位には同一符号を付し、説明を省略す。)

この構造では、接地された p 型シリコン基板 1 上に形成されるため同一基板上の他のデバイスまたは他の VDMOS と電気的に分離して形成可能であるという長所を備えている。

一方、 n 型拡散層 15 およびドレイン電極 17 の分だけ素子面積が大きくなる。そしてドレイン電流を流す必要上、これらの面積はソース電極に匹敵する大きさが必要である。

第 8 図に、ソース・ドレイン電極 16、17 の配置例を示す。このように、VDMOS では各電極は表面および裏面の全体に形成されていたのに対し、この LDMOS 構造では、いわゆる 側パターンとなっている。そして、ソース・ドレイン電極 16、17 内での抵抗損を極力減らすために、各電極はそれぞれボンディングパッド 18、19

- 3 -

に近い部分ほど広がっている。素子が大きくなればなるほど(大電流容量になるほど)、このパッド付近での電極幅を大きくする必要があり、素子中のデッドスペースの増大を招くことになる。

特に、最近の VDMOS では、微細加工技術の増大に伴い、チャネル領域としての p 型拡散層 3 およびソース領域としての n^+ 拡散層 4 を微細化し、バックリング密度を上げて、オン抵抗を低減する傾向にあるが、LDMOS では、上述したようなデッドスペースはこのような方法では縮小することはできず、オン抵抗の低減には限界がある。

また、ドレイン電流を基板表面に取り出すための電流引き出し抵抗が大きい。この引き出し抵抗を低減するためには、 n 型拡散層 15 の形成箇所を増大し、電流が n^+ 埋め込み層 14 中を流れる距離を小さくするのが有効であるが、このことは前項で述べたデッドスペースの増加につながる。

このようにこのタイプの LDMOS のオン抵抗は、同面積の VDMOS と比較すると少なくとも

- 4 -

2 倍以上になるのが通例である。その結果、用途は小電流用および中電流用に限られており、10 A を越すような大電流用は、素子面積が大きくなり過ぎるため、実用化されてはいない。

そこで、第 9 図に示すように、基板表面に平行に電流が流れるように構成された LDMOSFET がある。

この LDMOSFET は、 p 型シリコン基板 1 表面に形成された n 型エピタキシャル層 2 の表面にチャネル領域としての p 型拡散層 3 およびドレインコンタクト領域としての n^+ 型拡散層 5 が形成され、この p 型拡散層 3 内に n^+ 型拡散層 4 からなるソース領域が形成され、さらにこの n 型シリコン基板 2 の表面には p 型拡散層 3 からなるチャネル領域および n^+ 型拡散層 5 からなるドレイン領域にかけてゲート絶縁膜 6 を介してゲート電極 7 が形成されている。さらに、このゲート電極 7 のまわりは層間絶縁膜 8 で覆われており、この上層にソース電極 16 が形成されると共に、ドレインコンタクト領域としての n^+ 型拡散層 5

- 5 -

- 6 -

上にはドレイン電極 17 が形成されている。

この構造では、第 7 図に示した LDMOS と同様、接地された p 型シリコン基板 1 上に形成されるため同一基板上の他のデバイスまたは他の LDMOS と電気的に分離して形成可能であるという長所を備えている。

しかしながらこの構造においても、ドレインコンタクト領域としての n+ 型拡散層 5 およびドレイン電極 17 の分だけ素子面積が大きくなるという問題があった。このデッドスペースは大電流品になればなるほど増大し、第 7 図に示した LDMOS の場合と同様の問題があった。

また、ソース電極 16 およびドレイン電極 17 は歯状であり、ソース領域 4 とドレインコンタクト領域 5 とが隣接する必要があることから、ソース領域 4 は歯状電極と平行なストライプ状となり、VDMOS で通常用いられているようなセル配置は使用できないという問題があった。

このようなストライプ配置はセル配置に比べ、単位面積あたりのチャネル幅が小さいことが知ら

れており、オン抵抗の低減には限界がある。

このように、この構造の LDMOS においても同サイズの VDMOS に比べて 2 倍以上となるのが通例である。

このように、集積化および多出力化に有利な表面にドレイン電極を持つ LDMOSFET は、裏面にドレイン電極を有する VDMOSFET に比べて単位面積当たりのオン抵抗が高く、コスト上昇の原因となっている上、特に大電流用素子は素子サイズが大きくなり過ぎて実用的ではないという問題があった。

そこで本出願人は、単位セルを、例えば円形のソース領域を囲む六角形のセル外形の頂点部にドレインコンタクト領域を形成すると共に、ソース電極およびドレイン電極を表面 2 層構造とすることによって構成した LDMOS 構造を提案している。

上記構成によれば、セル配置方式のソース配置を行うことができるため、従来の表面歯状電極構造によるデッドスペースと引き出し抵抗を小さく

— 7 —

することができる。

また、セル構造の採用とセル頂点へのドレイン配置によってバックグランド密度が高く、またドレイン抵抗がほとんどないため、ドレイン電極を裏面に形成した VDMOS とほぼ同等のオン抵抗を有する LDMOS を得ることが可能となる。

すなわち、この LDMOS は、第 10 図および第 11 図に示すように（第 11 図は第 10 図の A-A'-A' 断面を示す）、基板表面を六角形の単位セル 21 に区切ったいわゆる六角セル配置を構成してなるもので、ゲート電極 7 はドーナツ状に形成され、チャネル領域 3 の拡散窓、およびソース領域 4 の拡散窓すなわちゲート電極 7 の開口部 22 は円形をなしており、これらの中心 A を中心にした六角形の 6 つの頂点（例えば A'）に n+ ドレインコンタクト領域 5 の中心がくるように配列されている。

ここで 9 はドレイン電極を示し、25 はドレインコンタクトの周縁を示し、24 はゲート電極 7 の開口部を示す。このドレインコンタクト 25 を

— 9 —

— 8 —

介してアルミニウム薄膜からなるドレイン電極 9 が形成され、このドレイン電極 9 を覆うように層間絶縁膜 10 が形成されている。

また、23 はソースコンタクトの周縁を示し、ドレイン電極 9 を覆うように形成された層間絶縁膜 10 に形成されたこのソースコンタクト 23 を介してソース領域 4 にコンタクトするように基板表面全体にアルミニウム薄膜からなるソース電極 11 が形成されている。（なお、ソース電極は全面に形成されているため、第 10 図では省略している。）

その他の基本的な LDMOS の構成要素は第 7 図に示した LDMOS と同様であり、同一部位には同一符号を付した。

かかる構造によれば、ソース電極、ドレイン電極、およびゲート電極の全てが基板表面に存在している LDMOS 本来の構造のために、同一基板中に LDMOS を形成して多出力素子としたり、IC 等の多種のデバイスと共に集積化してパワー IC としたりすることが容易であるという効果に

— 10 —

加え、以下に示すような効果を有する。

かかる構造によれば、まず六方最密構造を有しているため、櫛歯電極と異なり、ソース、ドレイン電極の下はすべて単位セルが形成されるため、デッドスペースがない。

また、セル配置をとることができるため、ストライプ配置の場合と比べて、単位面積当たりのソース幅のパッキングデシティを大きくとることができる。また、ソース領域を円形に形成しているため、チャンネル内での電気特性の不均一を防ぎ、破壊耐量の大きい素子を実現することが可能となる。

更に、セル配置をとることができるため、ドレインコンタクトをチャンネルの至近距離に形成することができる。さらに、ゲート電極直下のドレイン領域の表面は電子の蓄積により抵抗が2〜3けた下がっているのでドレイン抵抗を極めて小さく抑えることができる。

また、表面にドレインコンタクトを形成したことによる素子面積の増加を最低限に抑えることが

できる。VDMOSの円形ソースに六角セル配置を用いた場合、六角形の頂点付近はコンダクタンスへの寄与が小さい部分であるため、ここにドレインコンタクトを形成することは、いわばデッドスペースの有効な活用であって、素子面積増はわずかである。また、ドレインコンタクトは数が多いため1つ1つはわずかでよく、極めて小さな面積(ソースコンタクトに約1/2)で十分である。

以上の結果、最少限の面積でチャンネル幅を最大限にとることができる、単位面積当たりのオン抵抗はドレイン電極を裏面に形成した場合と同程度に抑えることができる。

(発明が解決しようとする課題)

しかしながら、上記構造では、第12図にチップのレイアウト図を示すように、ソース電極は、ドレインパッド55およびゲートパッド57の形成領域を避けて形成されると共に、ドレイン電極は、ソースパッド54およびゲートパッド57の形成領域を避けて形成されている。またゲート電極も、ソースパッド54およびドレインパッド5

— 1 1 —

5の形成領域を避けて形成されている。このように、外部接続用のパッド電極形成領域には、セルを形成することができず、この領域がデッドスペースとなり、単位面積当たりのチャンネル幅を増大せしめ、オン抵抗の低減を阻む問題となっていた。

本発明は前記実情に鑑みてなされたもので、単位面積当たりのチャンネル幅のさらなる増大をはかり、オン抵抗を低減することを目的とする。

(発明の構成)

(課題を解決するための手段)

そこで本発明では、LDMOSFETのソース電極およびドレイン電極を、2層構造をなすようにしてそれぞれ基板表面全体に形成すると共に、これらソース・ドレイン電極は、いずれもそれぞれ外部との接続用のパッド領域では、他の一方の電極よりも上に位置するように立体交差領域を有し、かつこのパッド領域の下にもLDMOSFETを配設するようにしている。

(作用)

— 1 2 —

上記構成によれば、ソース・ドレイン電極を立体交差させ、外部との接続用のパッド領域では、他の一方の電極よりも上に位置するようにしているため、パッド領域の下もセル形成領域とすることができ、デッドスペースをなくすることができ、単位面積あたりのチャンネル幅の増大をはかることが可能となる。

(実施例)

以下本発明の実施例について図面を参照しつつ詳細に説明する。

第1図は表面レイアウト図、第2図はそのZ-Z断面を示す図である。

素子の配置および構成は、主として第10図および第11図に示した従来例のLDMOSと同じであるが、チップのほぼ中心部で配線が立体交差し、第1図の上方や第2図の左方に示されているドレインコンタクトのためのパッド領域では第2のアルミニウム層33dは、第1のアルミニウム層31dを介してドレイン領域5に接続されている。そして、この第2のアルミニウム層33dは

— 1 3 —

— 1 4 —

層間絶縁膜 32 によってソース領域 4 に接続されている第 1 のアルミニウム層 31s から絶縁分離されている。

一方、第 1 図の下方や第 2 図の右方に示されているソースコンタクトのためのパッド領域では第 2 のアルミニウム層 33s は、第 1 のアルミニウム層 31s を介してソース領域 4 に接続されている。そして、この第 2 のアルミニウム層 33s は層間絶縁膜 32 によってドレインコンタクト領域 5 に接続されている第 1 のアルミニウム層 31d から絶縁分離されている。

セル領域については、第 10 図および第 11 図に示した従来例の LDMOS と全く同様に、表面を六角形の単位セル 21 に区切ったいわゆる六角セル配置を構成してなるもので、ゲート電極 7 はドーナツ状に形成され、チャネル領域 3 の拡散窓、およびソース領域 4 の拡散窓すなわちゲート電極 7 の開口部 22 は円形をなしており、これらの中心 A を中心にした六角形の 6 つの頂点（例えば A'）に n+ ドレインコンタクト領域 5 の中心

- 15 -

さらにまた、チャネル領域 3 の拡散窓、およびソース領域 4 の拡散窓は円形をなすように形成したが、これにより、電気的特性の均一な拡散層を形成することができる。これは、8 角形以上の多角形の場合は同様の効果を得ることができる。

これに対し、4 角形、6 角形などの拡散窓を形成した場合、拡散窓の頂点の部分とへの部分とでチャネルの拡散プロファイルが異なり、しきい値電圧、耐圧などの電気特性が不均一となるため、逆降伏時の破壊耐量が低下するなどの問題が生じ易い。このような理由から、チャネル領域 3 の拡散窓、およびソース領域 4 の拡散窓はできるだけ円形に近い多角形であることが望ましい。

実施例 2

この例では、基本的構成は第 1 図および第 2 図に示した LDMOSFET と同様であるが、第 4 図に示すように、交差領域における第 1 のアルミニウム層と第 2 のアルミニウム層との接続を拡散層を介して行うようにしたことを特徴とするものである。

- 17 -

がくるように配列されている。

そして、交差領域 Q では、ドレインコンタクト領域 5 に接続されている第 1 のアルミニウム層 31d と第 2 のアルミニウム層 33 とが接続される一方、ソース領域 4 に接続されている第 1 のアルミニウム層 31s と第 2 のアルミニウム層 33 も接続されている。

第 3 図 (a) および第 3 図 (b) はそれぞれ第 1 のアルミニウム層 31 および第 2 のアルミニウム層 33 のレイアウト示す図である。第 3 図中、左側はドレインボンディングパッド側、右側はソースボンディングパッド側を示す。

このように、ボンディングパッドの下にも、チャネル領域 3、ソース領域 4、ドレインコンタクト領域 5 を形成することができ LDMOSFET セルを配置することができる。

従って、第 10 図および第 11 図に示した LDMOS の持つ効果に加え、さらにデッドスペースが低減され、面積利用効率が増大し、オン抵抗が減少する。

- 16 -

すなわち、実施例 1 ではソース領域およびドレイン領域のいずれも第 1 のアルミニウム層にいったん接続され、交差領域では第 1 および第 2 のアルミニウム層相互間を接続するようにしたが、本実施例ではドレイン領域に接続されている第 1 のアルミニウム層 31d と第 2 のアルミニウム層 33 d とは p 型拡散層 3 を介して接続され、ソース領域に接続されている第 1 のアルミニウム層 31s と第 2 のアルミニウム層 31s とは n+ 型拡散層 4 を介して接続されている。

実施例 3

また、ゲートパッドの下にも LDMOSDFET のセルまたはセルの一部を形成することができる。

第 3 の実施例として、ゲートパッドの下にも LDMOSDFET を形成した例を示す。

すなわち、第 5 図にゲートパッドの周辺を示すように、ゲート電極 7 の上に、第 1 のアルミニウム層 31 および第 2 のアルミニウム層 33 を接続するようにし、ソース・ドレイン領域の上に第 2

- 18 -

のアルミニウム層 33g からなるゲートパッド 57 が配置されている。

このようにして、さらなるオン抵抗の低減をはかることができる。

なお、従来から LDMOS と CMOS IC、バイポーラ IC 等の IC を集積するパワー IC は提案されているが、LDMOS のオン抵抗が高いため、用途は小電流用～中電流用に限られていた。特に LDMOS を複数個集積して多出力パワー IC を構成する場合、素子面積の増大は致命的であり、このため現在のところたかだか 1～2A 程度の電流容量のものしか実現されていなかったのに対し、本発明では、オン抵抗を低く抑えることができ大電流用のパワー IC の形成が可能となる。

〔発明の効果〕

以上説明してきたように、本発明の LDMOS FET では、ソース・ドレイン電極を立体交差させ、外部との接続用のパッド領域では、他の一方の電極よりも上に位置するようにしているため、パッド領域の下もセル形成領域とすることができ、

オン抵抗を低減し、小形で大電流容量の集積化および多出力化に有利な素子を形成することが可能となる。

4. 図面の簡単な説明

第 1 図および第 2 図は本発明の第 1 の実施例の LDMOS FET を示す図、第 3 図(a) および第 3 図(b) は同実施例のそれぞれ第 1 のアルミニウム層パターンおよび第 2 のアルミニウム層パターンを示す図、第 4 図は本発明の第 2 の実施例の LDMOS FET を示す図、第 5 図は本発明の第 3 の実施例の LDMOS を示す図、第 6 図は従来例の VDMOS を示す図、第 7 図および第 8 図は従来例の LDMOS の基本構成を示す図、第 9 図は他の従来例の LDMOS を示す図、第 10 図乃至第 12 図は従来例の LDMOS を示す図である。

1…p 型シリコン基板、2…n 型エピタキシャル領域、3…p 型チャネル領域、4…ソース領域、5…ドレインコンタクト領域、6…ゲート絶縁膜、7…ゲート電極、8…層間絶縁膜、9…ドレイン電極、10…層間絶縁膜、11…ソース電極、1

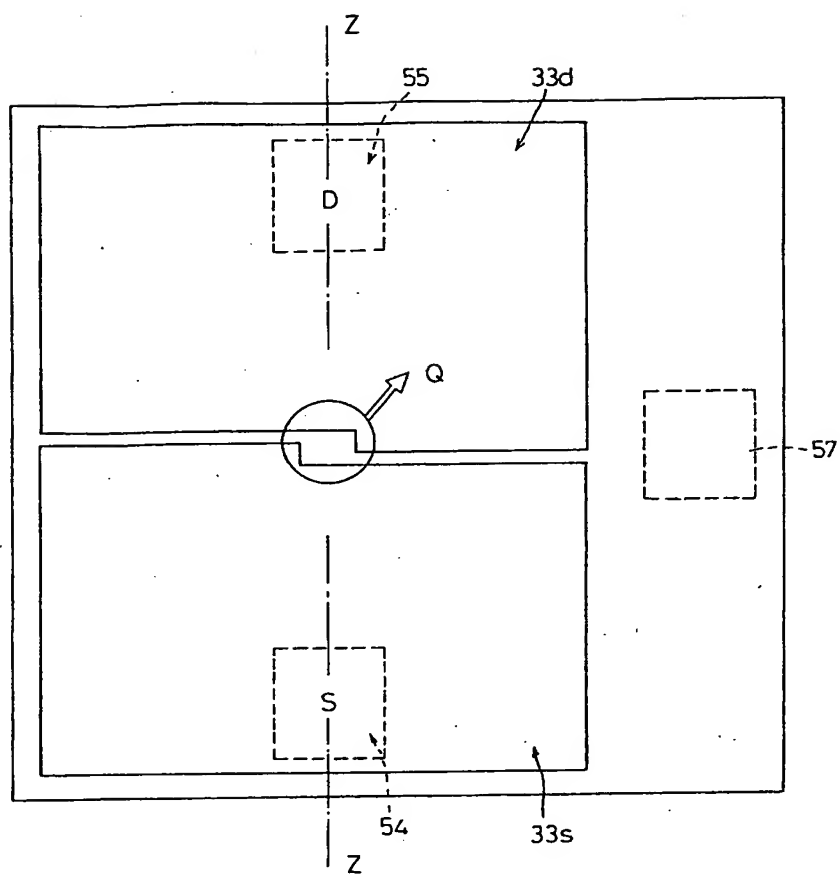
— 19 —

— 20 —

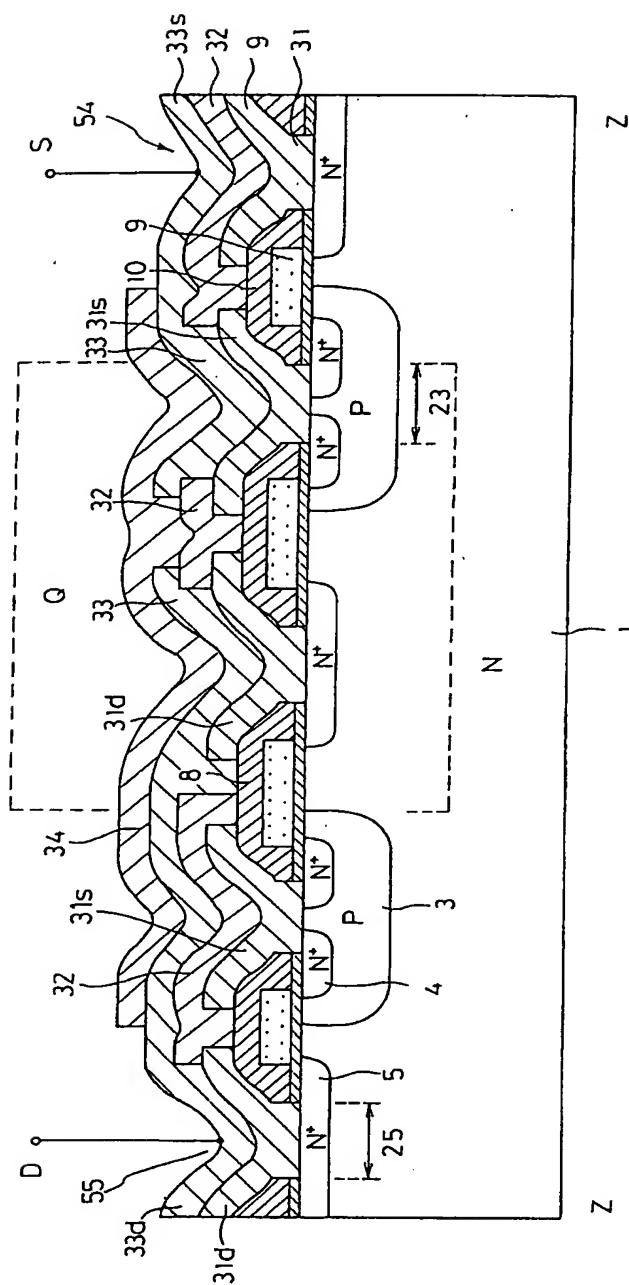
2…ドレインコンタクト、13…ドレイン電極、14…n 型埋め込み層、15…n+ 型拡散層、16…ソース電極、17…ドレイン電極、18…ソースボンディングパッド、19…ドレインボンディングパッド、21…六角形セル外形、22…ゲート電極開口部（ゲート側）、23…ソースコンタクト、24…ゲート電極開口部（ドレイン側）、25…ドレインコンタクト、26…ドレイン電極開口部、31…第 1 のアルミニウム層、31s…第 1 のアルミニウム層（ソース側）、31d…第 1 のアルミニウム層（ドレイン側）、32…層間絶縁膜、33…第 2 のアルミニウム層、33s…第 2 のアルミニウム層（ソース側）、33d…第 2 のアルミニウム層（ドレイン側）、33g…第 2 のアルミニウム層（ゲート側）、34…絶縁膜、54…ソースパッド、55…ドレインパッド、57…ゲートパッド。

代理人 井理士 三 好 秀 和

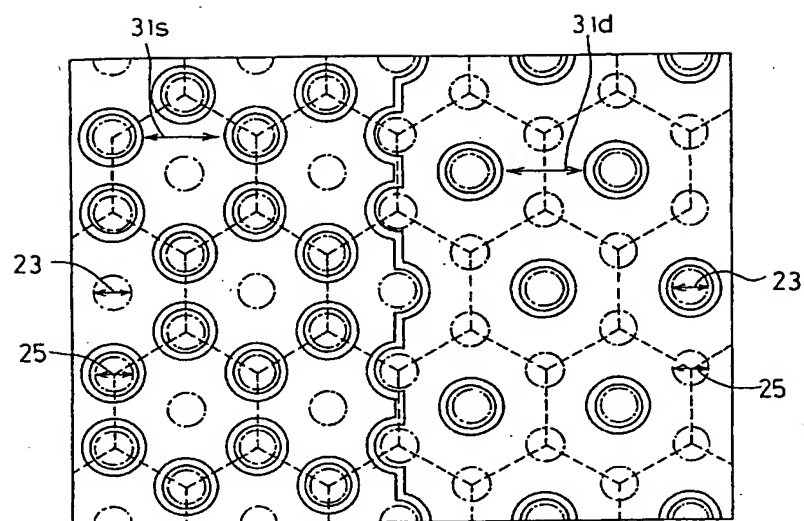
— 21 —



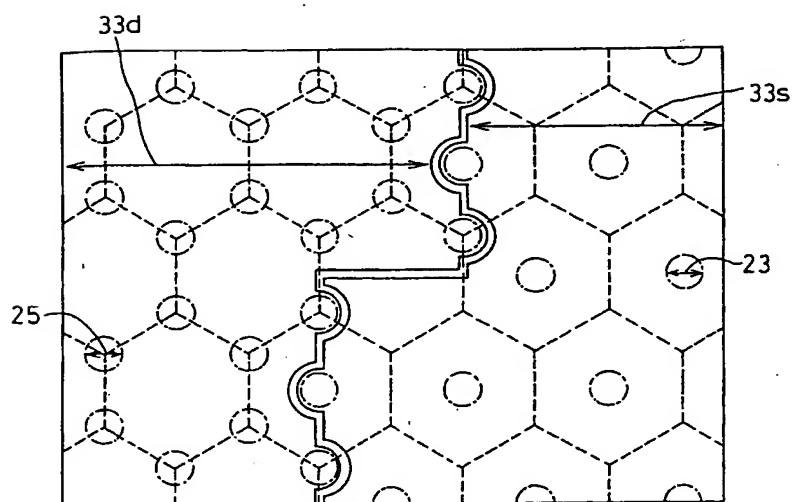
第 1 図



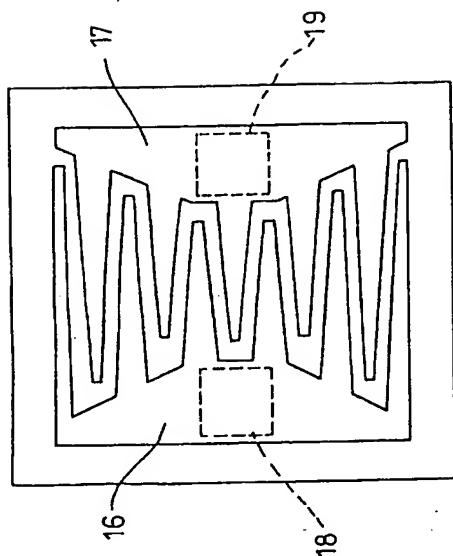
第 2 圖



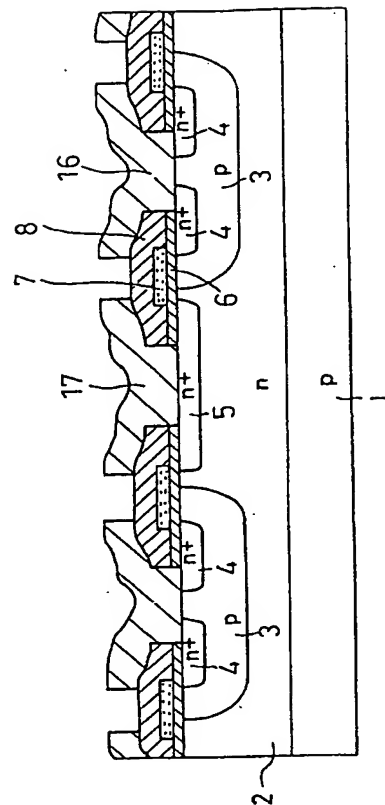
第 3 図 (a)



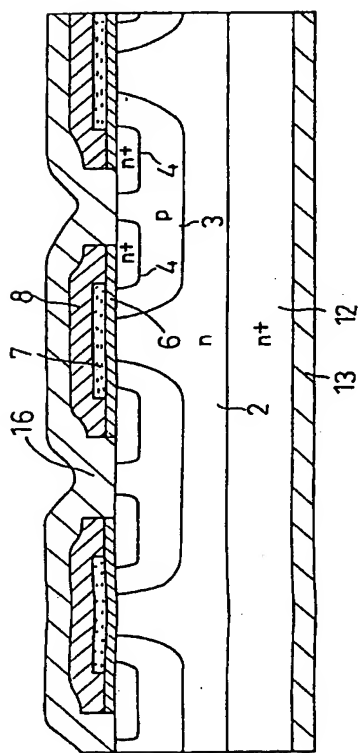
第 3 図 (b)



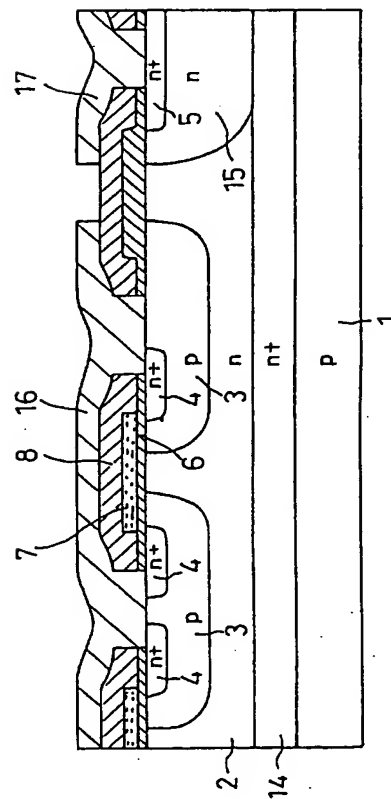
第 8 図



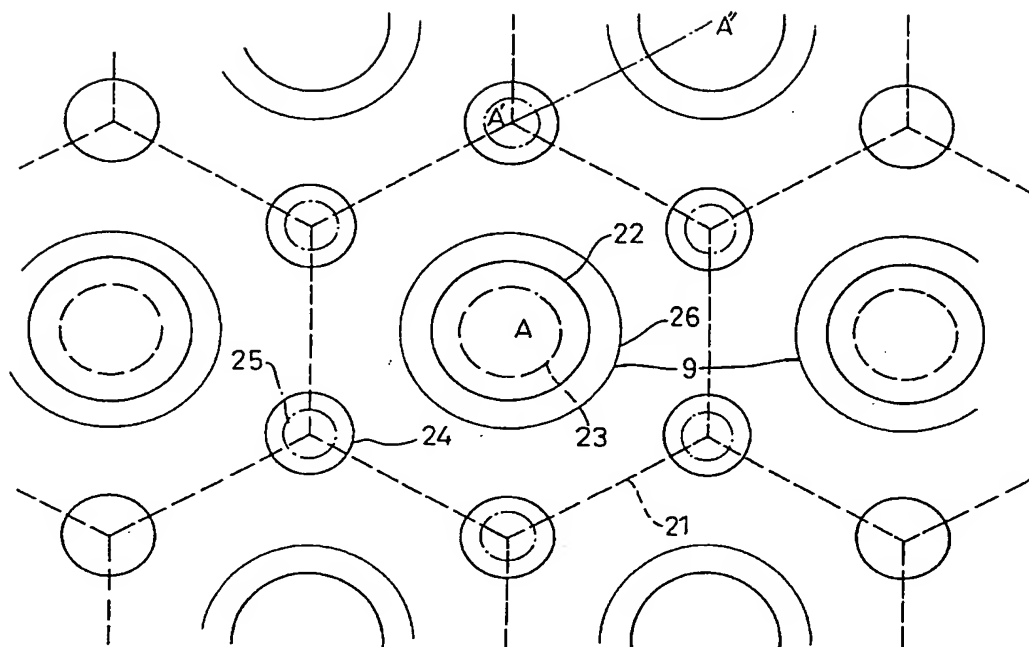
第 9 図



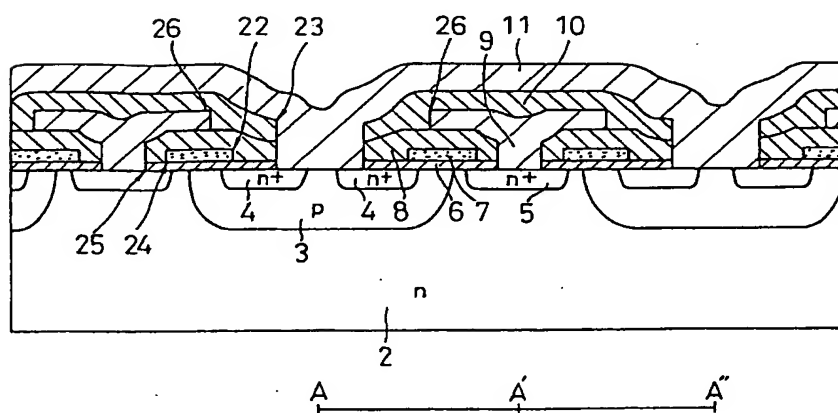
第 6 図



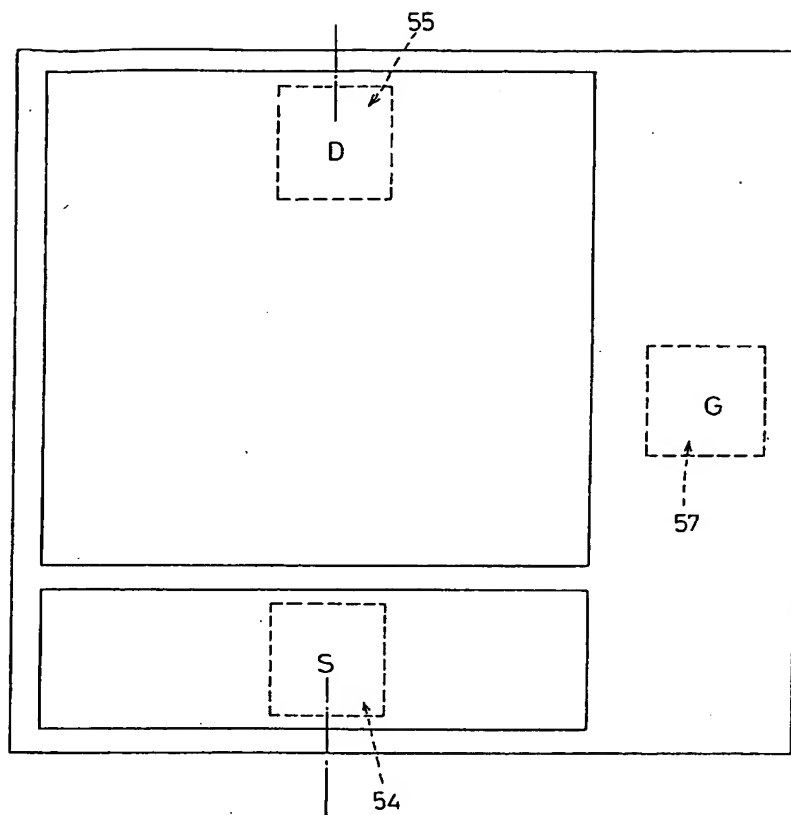
第 7 図



第 10 図



第 11 図



第 12 図